МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Національний технічний університет України
«Київський політехнічний інститут імені Ігоря Сікорського »
Радіотехнічний факультет
Кафедра радіоприймання та оброблення сигналів

Методичні вказівки до виконання курсової роботи

з дисципліни «Цифрові пристрої»

для студентів радіотехнічного факультету,
спеціальності 172 Телекомунікації та радіотехніка
спеціалізації «Радіозв'язок та оброблення сигналів»
«Радіосистемна інженерія»

Київ
КПІ ім. Ігоря Сікорського
2017

Методичні вказівки до виконання курсової роботи з дисципліни «Цифрові пристрої» для студентів радіотехнічного факультету спеціальності 172 Телекомунікації та радіотехніка, спеціалізації «Радіозв'язок та оброблення сигналів», «Радіосистемна інженерія» / Уклад. : О.Т. Титенко, І.О. Сушко, А.В. Мовчанюк — К. : КПІ ім. Ігоря Сікорського, 2017. — 32 с.

Гриф надано вченою радою радіотехнічного факультету КПІ ім. Ігоря Сікорського
(Протокол № 09/2017 від 25.09.2017)

Рекомендовано навчально-методичною комісією радіотехнічного факультету
(Протокол № 09/2017 від 22.09.2017)

Навчальне видання

Методичні вказівки до виконання курсової роботи
з дисципліни «Цифрові пристрої»
для студентів радіотехнічного факультету,
спеціальності 172 Телекомунікації та радіотехніка
спеціалізації «Радіозв'язок та оброблення сигналів»
«Радіосистемна інженерія»

Укладачі: *Олександр Трохимович Титенко, асистент*
Ірина Олександрівна Сушко, доцент
Андрій Валерійович Мовчанюк, доцент

Рецензент: *Захарченко Оксана Степанівна,*
старший викладач кафедри теоретичних основ радіотехніки
КПІ ім. Ігоря Сікорського

За редакцією укладача

КПІ ім. Ігоря Сікорського
Радіотехнічний факультет
03056, Київ, вул. Політехнічна, 12, корп. 17
Тел./факс (044) 204-94-23

ЗМІСТ

Вступ **3**

1 ОПИС РОБОТИ ЛІЧИЛЬНОГО ПРИСТРОЮ **4**

2 ВКАЗІВКИ ПО ПРОЕКТУВАННЯ ВУЗЛІВ ЛІЧИЛЬНОГО ПРИСТРОЮ **7**

2.1 Основні принципи проектування цифрових пристроїв 7

2.2 Типові ситуації, що виникають при реалізації вузлів на стандартних інтегральних мікросхемах 7

2.3 Функціональні вузли цифрових пристроїв 9

2.3.1 Комбінаційні схеми. 9

2.3.2 Автомати з пам'яттю. 10

2.3.3 Лічильник імпульсів 11

2.3.4 Генератор тактових імпульсів 20

2.3.5 Схема індикації 22

2.3.5.2. Схема фіксації коду 24

2.3.5.3. Кодоперетворювачі (двійкового коду в двійково-десятковий та двійково-десяткового коду в семисегментний). 25

2.3.5.4. Елементи індикації 28

3 РЕКОМЕНДАЦІЇ З ОФОРМЛЕННЯ КУРСОВОЇ РОБОТИ **30**

4 СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ **32**

5 Завдання на курсову роботу **33**

6 Варіанти завдань на курсову роботу **35**

ВСТУП

Методичні вказівки до виконання курсової роботи з дисципліни "Цифрові пристрої" орієнтовані на підготовку студентів радіотехнічного факультету КПІ імені Ігоря Сікорського денної форми навчання за спеціальністю 172 Телекомунікації та радіотехніка, спеціалізації «Радіозв’язок та оброблення сигналів», «Радіосистемна інженерія».

Основна мета курсової роботи – отримання студентами навичок з розробки схем цифрових пристроїв, освоєння правил застосування сучасної елементної бази та правил оформлення належної конструкторської документації, враховуючи особливості застосування цифрових мікросхем.

Для досягнення цієї мети в рамках курсової роботи пропонується розробка схеми електричної принципової лічильного пристрою. До складу запропонованого лічильного пристрою входять вузли, які часто зустрічаються в практиці проектування сучасних електронних засобів, що дозволяє виявити глибину засвоєння відповідних теоретичних курсів та знайомить студентів із сучасною елементною базою цифрових схем, правилами її застосування, особливостями розробки відповідної технічної документації.

Методичні вказівки спрямовані на застосування студентами отриманих теоретичних знань в процесі практичного проектування. В зв’язку з цим передбачається, що студентами засвоєні теоретичні основи синтезу цифрових схем (алгебра логіки, правила побудови та використання карт Карно для мінімізації логічних функцій, схемна реалізація логічної функції, т.п.).

До складу методичних вказівок входять:

- опис роботи запропонованого до проектування лічильного пристрою;
- відомості про роботу логічних елементів, необхідних для розробки окремих вузлів схеми електричної принципової лічильного пристрою;
- правила та приклади синтезу окремих вузлів лічильного пристрою;
- рекомендації відносно змісту пояснювальної записки та оформлення необхідних креслень курсової роботи;
- довідкові дані мікросхем, які можуть бути використані при виконанні курсової роботи.

Методичні вказівки можуть бути використані студентами, як при виконанні курсової роботи, так і під час дипломного проектування.

1 ОПИС РОБОТИ ЛІЧИЛЬНОГО ПРИСТРОЮ

Структурна схема лічильного пристрою (ЛП), розробка схеми електричної принципової якого є предметом курсової роботи, в основному єдина для всіх варіантів технічного завдання (ТЗ). В повному вигляді ця схема показана на рис.1 і відповідає варіантам ТЗ (див. дод. 1, 2).

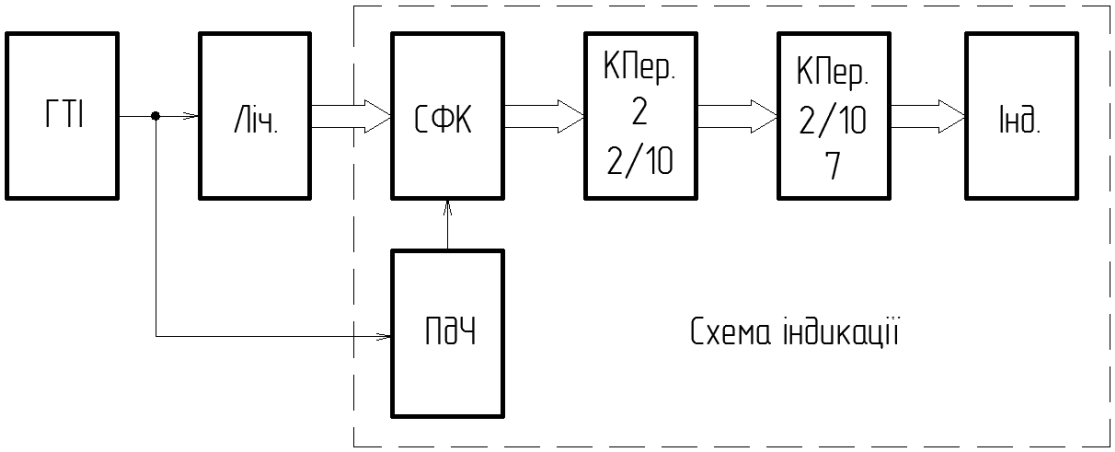


Рисунок 1.1 — Структурна схема лічильного пристрою до технічних завдань, що пропонуються студентам денної форми навчання

Наведений ЛП лічить імпульси, що їх виробляє генератор тактових імпульсів (ГТІ). Результат лічби відображається на світлодіодному індикаторі (Інд). Студенти визначають частоту імпульсів, що їх виробляє ГТІ, таким чином, щоб забезпечити її максимальне значення, яке обмежується лише часом спрацюванняя ЛП. Цей час визначається часом лічби (tлч) лічильника (ЛЧ). Таким чином, студентам необхідно починати проектування з синтезу схеми ЛЧ, після чого, отримавши значення tлч, визначити частоту тактових імпульсів і перейти до розрахунку ГТІ.

ЛЧ виробляє послідовність кодів (двійкових чисел), кожен з яких зберігається лише протягом часу tлч (кілька десятків наносекунд). Якщо безпосередньо приєднати Інд. до ЛЧ, то, внаслідок інерційності людського ока і елементів Інд., чергове число не буде сприйняте оком оператора. Тому число треба утримувати на Інд, як мінімум, протягом часу індикації $t_{\text{Інд}} = (0{,}5 - 1)$ сек. З цією метою чергове число зчитують з ЛЧ і зберігають у схемі фіксації коду (СФК) з періодом рівним $t_{\text{Інд}}$. Імпульси дозволу запису в СФК формують за допомогою подільника частоти (ПдЧ), коефіцієнт поділу якого (Кпд) складає декілька мільйонів.

Далі двійкове число перетворюють в двійково-десятковий код (кодоперетворювач КПер.2-2/10). Цей КПер. необхідний, якщо десяткові числа, що виводяться на Інд, мають більше одного десяткового розряду, наприклад, 10,11,…. Якщо числа однорозрядні (0,1,2,...9), то КПер.2-2/10 не потрібен - в

цьому випадку представлення чисел в двійковій системі і в двійково-десятковому коді співпадають. З виходу КПер.2-2/10 числа надходять на перетворювач двійково-десяткового коду у семисегментний код (КПер.2/10-7). Для відображення *n*-розрядного числа необхідно *c* таких КПер. і, відповідно, *n* елементів Інд.

Наприклад, треба відобразити десяткове число $(15)_{10}$. В двійковій системі це $(1111)_2$. На виході СФК число маємо саме в такому вигляді. На виході КПер.2-2/10 вказане число відображується в двійково-десятковому коді, тобто матиме вигляд $(0001.0101)_{2/10}$. Кожну з отриманих тетрад подають на "свій" КПер.2/10-7 і, далі, на "свій" індикаторний елемент.

Після індикації поточного числа, яке генероване ЛЧ, необхідно забезпечити індикацію наступного числа.

Наприклад, при коефіцієнті лічби Клч = 13 (Клч – кількість станів лічильника, які циклічно повторюються) додавальний лічильник виробляє серію чисел: 0,1,2,...,11,12, після чого ця серія повторюється. Тривалість серії ($t_{\text{сер}}$) дорівнює $t_{\text{сер}} = \text{К}_{\text{ЛЧ}} \cdot t_{\text{ЛЧ}}$.

Величина $t_{\text{сер}}$мала у порівнянні з величиною $t_{\text{інд}}$. Для забезпечення заданого часу індикації, перед зчитуванням з ЛЧ наступного числа пропускають певну кількість серій ($N_{\text{сер}}$). При цьому час індикації $t_{\text{інд}}$можна подати як $t_{\text{інд}} = N_{\text{сер}} \cdot t_{\text{сер}} = N_{\text{сер}} \cdot t_{\text{ЛЧ}} \cdot \text{К}_{\text{ЛЧ}}$ і $N_{\text{сер}} = t_{\text{інд}}/(t_{\text{ЛЧ}} \cdot \text{К}_{\text{ЛЧ}})$ Величини $\text{К}_{\text{ЛЧ}}$і $t_{\text{інд}}$задані, а величина tінд визначається при розрахунку ЛЧ.

Після обчислення $N_{\text{сер}}$визначають значення коефіцієнту поділу

$$\text{К}_{\text{ПД}} = \frac{t_{\text{ЛЧ}}}{t_{\text{інд}}} = N_{\text{сер}} \cdot \text{К}_{\text{ЛЧ}}$$

Помітимо, що при визначеному значенні $\text{К}_{\text{ПД}}$після пропуску $N_{\text{сер}}$з ЛЧ буде зчитане (і подане на Інд) одне й те саме число. Для зчитування кожен раз нового (наступного) числа необхідно збільшити величину $\text{К}_{\text{ПД}}$на одиницю, тобто $\text{К}_{\text{ПД}} = \frac{t_{\text{ЛЧ}}}{t_{\text{інд}}} = N_{\text{сер}} \cdot \text{К}_{\text{ЛЧ}} + 1$.

На рис.1.2 показано приклад вибору значення $\text{К}_{\text{ПД}}$для $\text{К}_{\text{ЛЧ}} = 4$, $N_{\text{сер}} = 2$, $\text{К}_{\text{ПД}} = \frac{t_{\text{ЛЧ}}}{t_{\text{інд}}} = N_{\text{сер}} \cdot \text{К}_{\text{ЛЧ}} + 1 = 9$. При цьому $\text{U}_{\text{ГТІ}}$ – сигнал на виході формувача тактових імпульсів, $\text{U}_{\text{ПД}}$. – сигнал дозволу на виході ПдЧ.

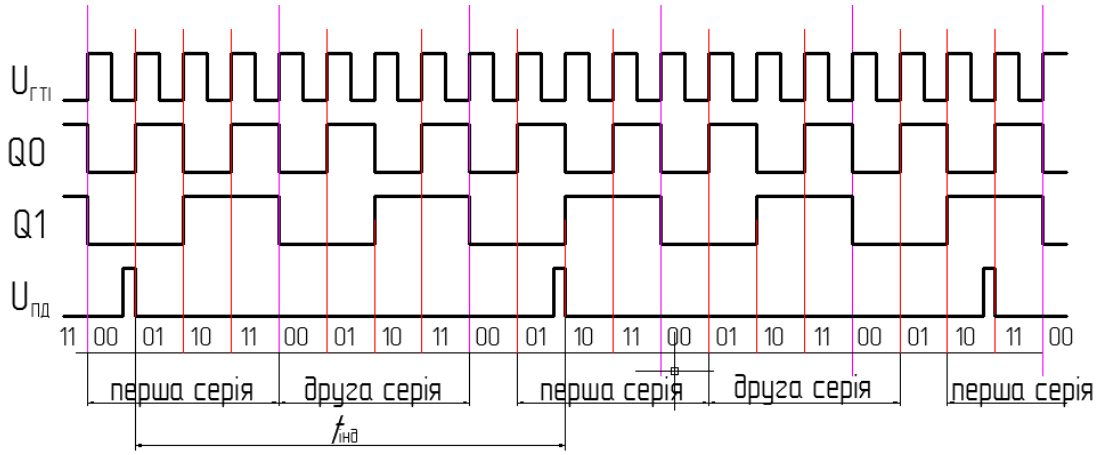


Рисунок 1.2— Вибір значення коефіцієнту поділу частоти

Тригери ЛЧ спрацьовують від імпульсів ГТІ. При цьому треба звернути увагу на тривалість імпульсу ГТІ, яка повинна бути достатньою для надійного запису інформації в тригер, а тривалість паузи в послідовності імпульсів ГТІ повинна бути достатня для спрацювання ЛЧ.

Шпаруватіть імпульсів ГТІ $Q = (t_1 + t_0)/t_1$, де t_1– тривалість імпульсу, а t_0 – тривалість паузи.

Таким чином мінімальний період тактових імпульсів можна визначити як $T_{min} = t_{1min} + t_{0min}$.

2 ВКАЗІВКИ ПО ПРОЕКТУВАННЯ ВУЗЛІВ ЛІЧИЛЬНОГО ПРИСТРОЮ

Як було зазначено, до складу ЛП входять цифрові вузли, проектування яких є одним з найважливіших етапів курсової роботи. Нижче розглянуті основні принципи та наведено приклади проектування цифрових вузлів, для методичного забезпечення процесу виконання роботи в цілому.

2.1 Основні принципи проектування цифрових пристроїв

Для прийняття правильних рішень в процесі проектування вузлів цифрових пристроїв необхідно володіти певним набором теоретичних і практичних знань, які дозволяють на ранній стадії проектування передбачити виникнення тих чи інших ситуацій. Більшість рішень, від яких залежить працездатність цифрового пристрою, базується на окремих властивостях логічних елементів і ефектах, які виникають при їх з'єднанні.

Серед інших, слід виділити затримки сигналів в логічних елементах та ланцюгах зв'язку між ними. Від цих величини затримок залежить швидкодія, а часто, і працездатність цифрових пристроїв. Швидкодія логічних елементів характеризує швидкість їх переходу з одного стану до іншого. Моментом зміни логічного сигналу вважають момент досягнення ним порогового рівня. За пороговий рівень, за звичай, приймають середину логічного перепаду сигналу, тобто $U_{\text{пор}} = 0{,}5(U_0 + U_1)$. Іноді пороговий рівень вказується більш точно в паспортних даних елементу.

Часто для спрощення розрахунків використовують середнє значення затримки розповсюдження сигналу $t_{3.\text{сер}} = 0{,}5(t_3^{10} + t_3^{01})$, де t_3^{10} − час перемикання елементу зі стану "1" в стан "0", а t_3^{01} −час перемикання елементу зі стану "0" в стан "1". (Окрім цього для тригерів потрібно враховувати час перед встановлення та після утримання сигналів на інформаційних входах).

Вказані величини наводяться в довідкових даних мікросхем (або розраховуються на їх підставі) і мають бути враховані (як показано нижче) при розробці вузлів заданого цифрового пристрою, а саме: ГТІ, ПдЧ та СФК.

2.2 Типові ситуації, що виникають при реалізації вузлів на стандартних інтегральних мікросхемах

Розроблена функціонально-логічна схема пристрою має бути реалізована на базі стандартних інтегральних схем тої чи іншої серії, при цьому можлива ситуація, коли наявні елементи і елементи потрібні для реалізації схеми не співпадають як за кількістю, так і за можливостями виконання необхідних функцій.

Типовими ситуаціями є наявність в стандартних інтегральних схемах “зайвих” (тобто таких, що не використовуються в даному випадку) логічних елементів, а також входів, або, навпаки, кількість входів мала, а навантажувальна спроможність виходів МС недостатня.

Режим невикористаних елементів.

Якщо не всі елементи, які знаходяться в інтегральних схем, використані в схемі пристрою, то невикористані елементи також виявляються приєднаними до напруги живлення, яке є загальним для всієї інтегральної схеми. Якщо ж потужності, які споживаються елементами в стані "0" або "1" не рівні, то має сенс поставити невикористаний елемент в стан, при якому споживання потужності мінімальне, подавши на якийсь з його входів відповідну константу.

Режими невикористаних входів.

Питання про режими “зайвих” входів вирішується з урахуванням типу технології, за якою виготовлені МС, що використовуються.

Наприклад, необхідно отримати кон'юнкцію (або її інверсію) п'яти змінних. В стандартних інтегральних схемах немає відповідних елементів, що мають п’ять входів. В цьому випадку використовують елемент, що має вісім входів, тобто три входи виявляються “зайві”.

Принципово можливо: не звертати уваги на “зайві” входи (тобто залишити їх розімкненими); під’єднати “зайві” входи до задіяних; подати на “зайві” входи якісь константи. З точки зору логічних операцій всі вказані можливості правомірні. Але, якщо врахувати особливості тої чи іншої технології, за якою виготовлена дана МС вибір стає визначеним.

Для елементів, які виготовляються за технологіями КМОН або ТТЛ(Ш), невикористані входи розімкненими не залишають. Для елементів, виготовлених за КМОН-технологією, це сувора рекомендація, бо в цих елементах великі значення вхідних опорів і, відповідно, на розімкнених входах легко наводяться паразитні потенціали, які можуть змінити роботу схеми.

Для елементів, виготовлених за ТТЛ(Ш)-технологією суворої заборони залишати входи розімкненими немає, але робити це небажано, так як при цьому погіршуються параметри швидкодії елемента.

Приєднання “зайвих” входів до задіяних для КМОН і ТТЛ(Ш) елементів принципово можливе, але небажане, бо призводить до підвищення навантаження на джерело сигналу, що, в свою чергу, веде до зниження швидкодії.

Таким чином, для елементів, виготовлених за технологіями КМОН або ТТЛ(Ш) режим невикористаних входів – приєднання їх до констант ("1" або "0"), не змінюючи роботу схеми для задіяних входів. При цьому рівні напруги U_1та U_0 для КМОН елементів співпадають з рівнями джерела живлення

U_{CC} та загальної шини (“землі”), до яких і приєднують невикористані входи. Для ТТЛ(Ш) елементів рівень U_1 на 1,5 – 2 В нижчий за рівень U_{CC}, тому для запобігання пробою незадіяні входи приєднують до джерела живлення через резистор R (звичайна рекомендація R = 1 кОм), причому до одного резистору можна приєднати до 20 входів.

2.3 Функціональні вузли цифрових пристроїв

Функціональні вузли розподіляються на комбінаційні та послідовнісні.

Комбінаційні вузли або комбінаційні схеми (КС) являють собою логічні схеми, стан виходів яких (тобто інформаційні значення вихідних сигналів на даному такті) визначається виключно станом входів на тому ж такті. Приклади КС: схеми рівнозначності та нерівнозначності, суматори, компаратори, шифратори, дешифратори, кодоперетворювачі.

Послідовнісні вузли або цифрові автомати з пам'яттю (ЦА) являють собою логічні схеми, до складу яких входять елементи пам'яті.

В цих вузлах вихідні сигнали в стаціонарному режимі на даному такті залежать не лише від вхідних інформаційних сигналів на цьому такті, але й від попередніх сигналів на елементах пам'яті. До класу ЦА належать: тригери, лічильники, регістри.

Розподіл функціональних вузлів на КС і ЦА пов'язаний, як з логікою їх роботи, так і з методикою проектування.

2.3.1 Комбінаційні схеми.

Як видно з визначення КС, після завершення перехідних процесів на їх виходах встановлюються вихідні величини, на які сам характер перехідних процесів не впливає. Для визначення інтервалу часу, на якому відбуваються перехідні процеси, слід оцінити затримки на шляхах розповсюдження сигналів від входу до виходу КС.

Для вирішення поставленої задачі, необхідно розглянути шляхи розповсюдження сигналу і оцінити затримку сигналу на самому короткому шляху, як суму мінімальних затримок елементів, з яких цей шлях складається, і затримку сигналу на самому довгому шляху, як суму максимальних затримок елементів, з яких складається цей шлях.

Проектування пристроїв типу КС на основі базових логічних комірок (вентилів), які виконують найпростіші операції, складається з етапів:

- мінімізація заданої логічної функції,
- складання структурної схеми,
- вибір стандартних мікросхем, до складу яких входять необхідні логічні елементи,

- розробка принципової схеми КС.

2.3.2 Автомати з пам'яттю.

Структурно ЦА відрізняються від КС наявністю зворотних зв’язків, внаслідок чого в них проявляються властивості запам’ятовування того чи іншого стану. Переходи ЦА з одного стану до іншого починаються з якогось вихідного стану. Кожний наступний стан залежить від попередніх станів і додатково поданих на схему (на всіх стадіях роботи пристрою) інформаційних сигналів. Таким чином, вся послідовність вхідних сигналів визначає послідовність станів і вихідних сигналів.

Принциповим є розподіл ЦА на синхронні та асинхронні.

В ***синхронних*** ЦА (синхронних лічильниках) всі тригери перемикаються одночасно в момент приходу тактового імпульсу.

В ***асинхронних*** ЦА перемикання відбувається в моменти часу, які визначаються моментами надходження вхідних інформаційних сигналів. Асинхронними лічильниками є такі, в яких на тактовий вхід хоча б одного тригера подається сигнал з виходу іншого тригера.

В синхронних ЦА крім інформаційних входів є ще один (як мінімум) вхід, на який поступають тактові імпульси. В синхронних ЦА запис інформації, здійснюється лише в моменти надходження тактових імпульсів. Іншими словами, стан таких ЦА змінюється або під час дії або після закінчення тактового імпульсу.

Швидкодія ЦА визначається тривалістю встановлення стаціонарних рівнів вихідних сигналів і сигналів на елементах пам'яті при зміні вхідних інформаційних сигналів (або тактових імпульсів в синхронних ЦА). Затримка встановлення стаціонарного стану ЦА обумовлена, головним чином, інерцією логічних елементів, з яких складається ЦА. Якщо кожен логічний елемент затримує сигнал в середньому на час $t_{3\text{сер}}$., то при проходженні сигналу через т елементів затримка сигналу приблизно становитиме $m \cdot t_{3\text{сер}}$. Ця затримка визначає дозволений час t_{min} (і відповідно максимальну частоту $f_{max} = 1/t_{min}$) – інтервал часу між моментами надходження вхідних сигналів в асинхронних ЦА, або тактових імпульсів в синхронних ЦА, при якому ЦА надійно перемикається згідно з заданими правилами роботи у новий стан.

Визначення параметрів тактових імпульсів.

Період тактових імпульсів складається з тривалості тактового імпульсу t_1та тривалості його паузи t_0. Величина тривалості тактового імпульсу має бути достатня для надійного запису інформації у тригер, цей параметр задається в паспортних даних інтегральних схем. Новий стан тригери приймуть

після закінчення часу максимальної із затримок їх перемикання t_3^{10} або t_3^{01}. При цьому на входах КС (які входять до складу пристрою) формуються нові значення сигналів. Після цього, до нового прийому даних має пройти час, достатній для проходження сигналу самим довгим шляхом в КС ($_{\text{ткс макс}}$) плюс час t_S передвстановлення тригера. Тому для тривалості паузи маємо співвідношення

$$t_{\text{П}} \geq \Delta t_{\text{тг}} + t_{\text{кс макс}} + t_S, \text{ де } \Delta t_{\text{тг}} = \{t_3^{10}, t_3^{01}\} - t_1$$

Мінімальний період тактових імпульсів становитимуть tмін = ti мін + tп мін, звідки максимальна частота – fмакс = l/ tмін.

Проектування ЦА передбачає етапи:

- ✓ формалізація завдання функціонування,
- ✓ мінімізація та кодування станів,
- ✓ складання таблиці переходів,
- ✓ визначення функцій керування елементами пам'яті (тригерів),
- ✓ мінімізація функцій керування тригерів,
- ✓ складання структурної схеми,
- ✓ вибір необхідних стандартних мікросхем,
- ✓ розробка принципової схеми ЦА з урахуванням основних принципів побудови ЦП.

2.3.3 Лічильник імпульсів

Послідовність проектування ЛЧ розглянемо на прикладах, використовуючи при цьому методику формального синтезу.

Приклад 1. Синтезувати на основі *JK*-тригерів синхронний та асинхронний додавальний ЛЧ з коефіцієнтом лічби $K_{ЛЧ} = 7$ (що рахує (лічить) від 1 до 7).

Тригер *JK*-типу це логічний пристрій із двома стійкими станами і двома інформаційними входами J і K. що за умови J=K=1 здійснює інверсію попереднього стану (працює в режимі лічильного тригера), а в інших випадках працює як RS-тригер. При цьому вхід J еквівалентний входові S, а вхід K – входові R. Логічне рівняння. що описує роботу тригера має вигляд

$$Q^{n+1} = \overline{K^n} Q^n + J^n \overline{Q^n}$$

Слід відмітити, що JK-тригер відноситься до синхронних тригерів і тому всі перемикання цього тригера відбуваються тільки у моменти надходження синхроімпульсів на його вхід синхронізації C.

Знаходимо необхідну кількість *n* тригерів: $n \geq \log_2 K_{ЛЧ} = 3$.

Щоб пристрій виконував функції ЛЧ, необхідно належним чином з'єднати тригери, що входять до його складу, тобто для кожного тригера слід мінімізувати логічні функції $J_i = F_i(Q_1Q_2Q_3)$ і $K_I = G_i(Q_1Q_2Q_3)$.

Спочатку спроектуємо ЛЧ, що відноситься до класу синхронних цифрових автоматів.

Враховуючи таблицю переходів *JK*-тригера (табл.2.1), складаємо таблицю переходів синхронного додавального ЛЧ (табл.2.2), на основі якої будуємо карти Карно (табл.2.3).

Таблиця 2.1. **Таблиця переходів *JK* – тригера**

J^t	K^t	Q^t	Q^{t+1}
0	0	0	0
		1	1
1	**0**	0	1
		1	1
0	1	0	0
		1	0
1	1	0	1
		1	0

Таблиця 2.2. **Таблиця переходів синхронного додавального ЛЧ на *JK* - тригерах**

До імпульсу			Після імпульсу			Сигнали на входах тригерів					
Q_2	Q_1	Q_0	Q_2^{t+1}	Q_1^{t+1}	Q_0^{t+1}	J_2	K_2	J_1	K_1	J_0	K_0
0	0	1	0	1	0	0	~	1	~	~	1
0	1	0	0	1	1	0	~	~	0	1	~
0	1	1	1	0	0	1	~	~	1	~	1
1	0	0	1	0	1	~	0	0	~	1	~
1	0	1	1	1	0	~	0	1	~	~	1
1	1	0	1	1	1	~	0	~	0	1	~
1	1	1	0	0	1	~	1	~	1	~	0

Таблиця 2.3. **Карти Карно синхронного додавального лічильника на *JK* – тригерах**

J_0

Q_2 \ Q_0	00	01	11	10
0	~	~	~	1
1	1	~	~	1

Q_1

J_2

Q_2 \ Q_0	00	01	11	10
0	~	1	~	~
1	0	1	~	~

Q_1

K_1

Q_2 \ Q_0	00	01	11	10
0	~	0	1	0
1	~	~	~	~

Q_1

J_1

Q_2 \ Q_0	00	01	11	10
0	~	1	1	~
1	~	1	0	~

Q_1

K_0

Q_2 \ Q_0	00	01	11	10
0	~	~	1	0
1	~	~	1	0

Q_1

K_2

Q_2 \ Q_0	00	01	11	10
0	~	~	~	~
1	0	0	1	0

Q_1

Після мінімізації логічних функцій всіх входів *J* і *K* (факультативам раціонально присвоїти значення “1”), записуємо їх функції:

$J_0 = 1$; $J_1 = Q_0$; $J_2 = Q_1 Q_0$;

$K_0 = \overline{Q_2} + \overline{Q_1} = \overline{Q_2 Q_1}$; $K_1 = Q_0$; $K_2 = Q_1 Q_0$.

На рис. 2.1 наведена структурна схему синтезованого синхронного додавального ЛЧ (підсумовуючого).

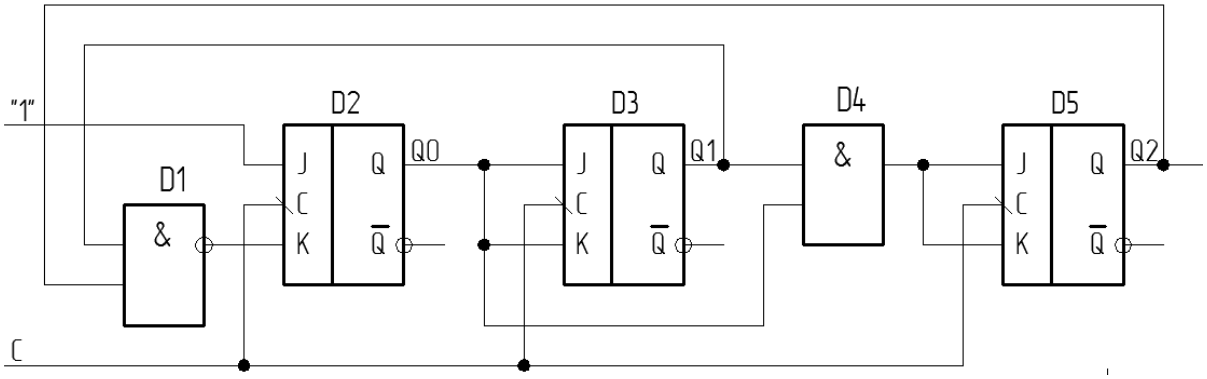


Рисунок 2.1 — Структурна схему синхронного додавального ЛЧ (підсумовуючого)

Моделюємо схему синтезованого ЛЧ в Micro Cap 9.

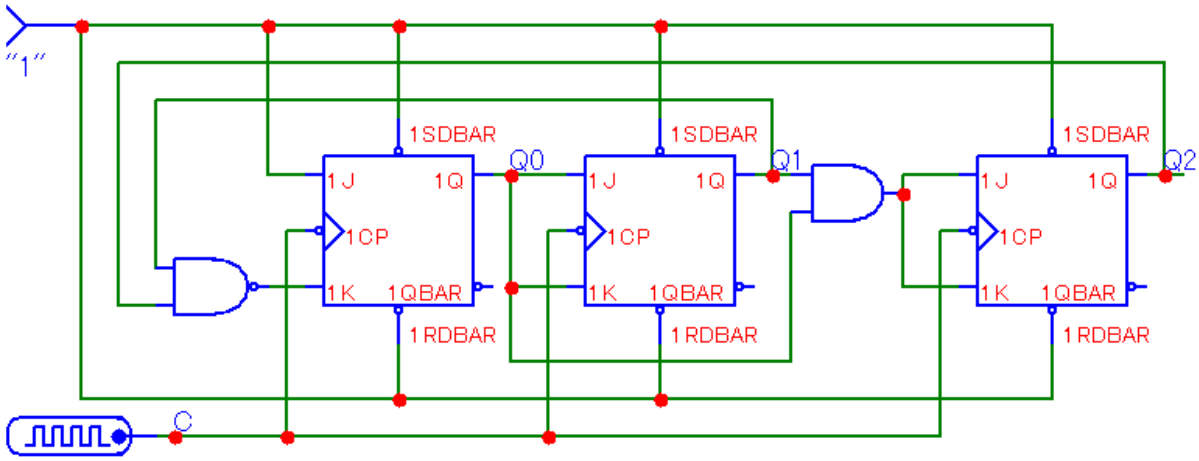


Рисунок 2.2 –Схема синтезованого ЛЧ в Micro Cap 9

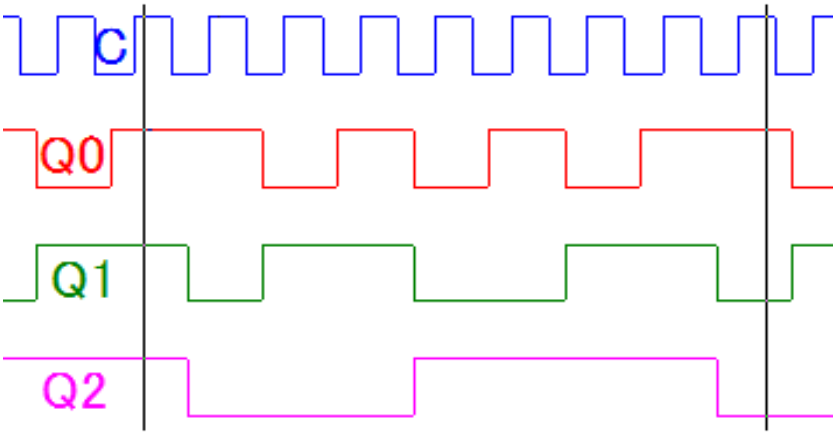


Рисунок 2.3— Сигналограми синхронного додавального ЛЧ (підсумовуючого).

Тепер спроектуємо ЛЧ, що відноситься до класу асинхронних цифрових автоматів.

Проаналізувавши сигналограми синхронного лічильника (Рис.2.3), приходимо до висновку, що перші два тригери треба синхронізувати тактовим сигналом *C*, а на вхід третього слід подавати сигнал Q_1.

Враховуючи таблицю переходів *JK*-тригера (табл.2.1), складаємо таблицю переходів «асинхронного» додавального ЛЧ (табл.2.4), на основі якої будуємо карти Карно (табл.2.5).

Таблиця 2.4. **Таблиця переходів асинхронного додавального ЛЧ на *JK* - тригерах**

До імпульсу			Після імпульсу			Сигнали на входах тригерів					
Q_2	Q_1	Q_0	Q_2^{t+1}	Q_1^{t+1}	Q_0^{t+1}	J_2	K_2	J_1	K_1	J_0	K_0
0	0	1	0	1	0	~	~	1	~	~	1
0	1	0	0	1	1	~	~	~	0	1	~
0	1	1	1	0	0	1	~	~	1	~	1
1	0	0	1	0	1	~	~	0	~	1	~
1	0	1	1	1	0	~	~	1	~	~	1
1	1	0	1	1	1	~	~	~	0	1	~
1	1	1	0	0	1	~	1	~	1	~	0

Таблиця 2.5. **Карти Карно «асинхронного» додавального лічильника на *JK* – тригерах**

J_0

Q_2 \ Q_0	00	01	11	10
0	~	~	~	1
1	1	~	~	1

Q_1

J_2

Q_2 \ Q_0	00	01	11	10
0	~	1	~	~
1	0	1	~	~

Q_1

K_1

Q_2 \ Q_0	00	01	11	10
0	~	0	1	~
1	~	~	~	~

Q_1

J_1

Q_2 \ Q_0	00	01	11	10
0	~	1	1	~
1	~	1	0	~

Q_1

K_0

Q_2 \ Q_0	00	01	11	10
0	~	~	1	0
1	~	~	1	0

Q_1

K_2

Q_2 \ Q_0	00	01	11	10
0	~	~	~	~
1	~	~	1	~

Q_1

Після мінімізації логічних функцій всіх входів *J* і *K* (факультативам раціонально присвоїти значення “1”), записуємо їх функції:

$$J_0 = 1; \qquad J_1 = Q_0; \qquad J_2 = 1;$$

$$K_0 = \overline{Q_2} + \overline{Q_1} = \overline{Q_2 Q_1}; \qquad K_1 = Q_0; \qquad K_2 = 1.$$

На рис. 2.4 наведена структурна схему синтезованого асинхронного додавального ЛЧ.

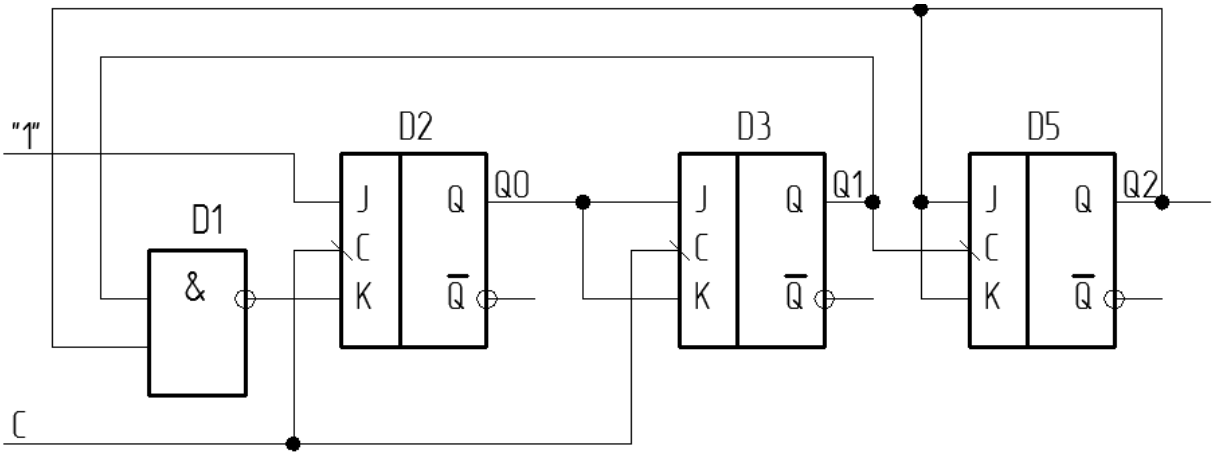


Рисунок 2.4. — Структурна схему асинхронного додавального ЛЧ (підсумовуючого).

Моделюємо схему синтезованого ЛЧ в Micro Cap 9.

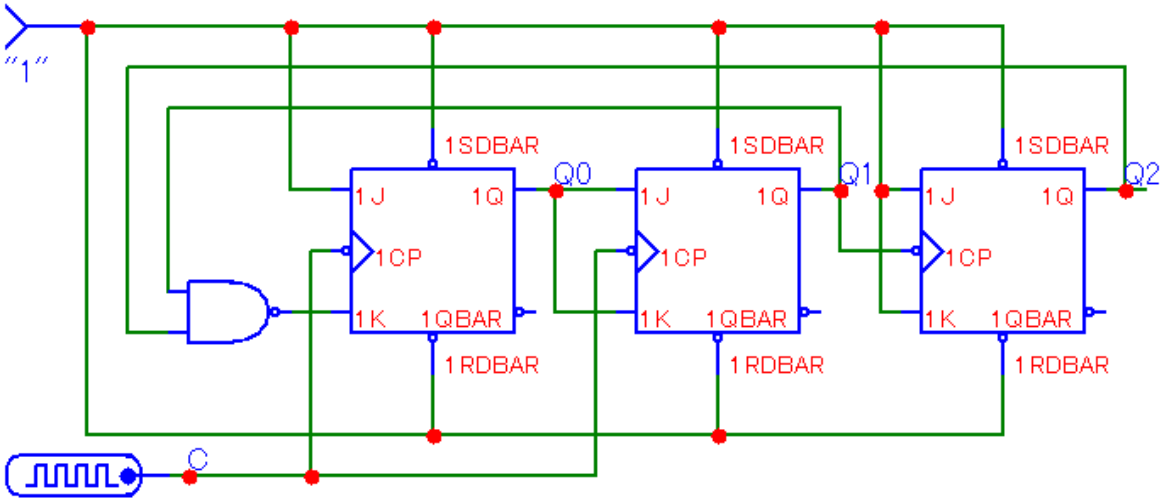


Рисунок 2.5 — Схема синтезованого ЛЧ в Micro Cap 9.

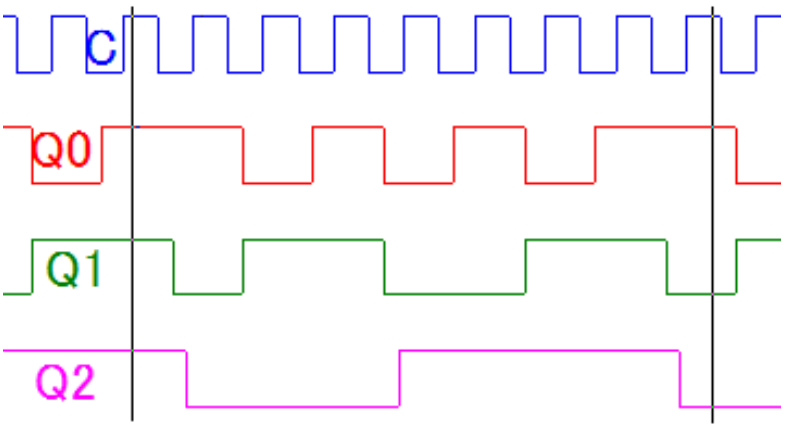


Рисунок 2.6 — Сигналограми асинхронного додавального ЛЧ (підсумовуючого).

Приклад2. Синтезувати на основі *D*-тригера синхронний та асинхронний віднімаючий ЛЧ з коефіцієнтом лічби K_m=6 (що рахує (лічить) від 7 до 2).

Знаходимо необхідну кількість *n* тригерів: $n > \log_2 K_{лч} = 3$.

Тригер D-типу це логічний пристрій із двома стійкими станами й одним інформаційним входом D, що запам'ятовує інформацію яка надходить на вхід D в момент приходу синхроімпульсу на вхід C (синхронізації). Логічне рівняння такого тригера має вигляд

$$Q^{t+1} = D^t$$

Значення вихідного сигналу в момент часу t+1 збігається з кодом вхідного сигналу в момент часу t.

Слід відмітити, що D-тригер відноситься до синхронних тригерів і тому всі перемикання цього тригера відбуваються тільки у моменти надходження синхроімпульсів на його вхід синхронізації C.

Спочатку спроектуємо ЛЧ, що відноситься до класу синхронних цифрових автоматів.

Мінімізуємо логічні функції: $D_I = F_I(Q_1Q_2Q_3)$ для кожного тригера.

Враховуючи таблицю переходів *D*- тригера (табл. 2.6), складаємо таблицю переходів синхронного додавального ЛЧ (табл. 2.7), на основі якої будуємо карти Карно (табл. 2.8).

***Таблиця 2.6.* Таблиця переходів *D*-тригера**

D	C	Q^t	Q^{t+1}
0	0	0	зберігання
0	1	0	0
1	0	1	зберігання
1	1	1	1

***Таблиця 2.7.* Таблиця переходів синхронного віднімального ЛЧ на *D*-тригерах**

	$(Q_2Q_1Q_0)^t$	$(Q_2Q_1Q_0)^{t+1}$	D_2	D_1	D_0
7	111	110	1	1	0
6	110	101	1	0	1
5	101	100	1	0	0
4	100	011	0	1	1
3	011	010	0	1	0
2	010	111	1	1	1

Таблиця 2.8. **Карти Карно синхронного віднімального лічильника на *D*-тригерах**

D_0	Q_0			
	00	01	11	10
Q_2 0	~	~	0	1
Q_2 1	1	0	0	1
			Q_1	

D_1	Q_0			
	00	01	11	10
Q_2 0	~	~	1	1
Q_2 1	1	0	1	0
			Q_1	

D_2	Q_0			
	00	01	11	10
Q_2 0	~	~	0	1
Q_2 1	0	1	1	1
			Q_1	

Після мінімізації логічних функцій всіх входів *D* (факультативам раціонально присвоїти значення “1”), записуємо їх функції:

$$D_0 = \overline{Q}_0;$$

$$D_1 = \overline{Q_2} + \overline{Q_1}\,\overline{Q_0} + Q_1 Q_0 = \overline{Q_2} + \left(\overline{Q_1 \oplus Q_0}\right) = \overline{Q_2\left(Q_1 \oplus Q_0\right)};$$

$$D_2 = Q_2 Q_0 + Q_1 \overline{Q_0} = \overline{\overline{Q_2 Q_0}\,\overline{Q_1 \overline{Q_0}}}.$$

На рис.2.7 наведена структурна схема синтезованого синхронного віднімаючого ЛЧ.

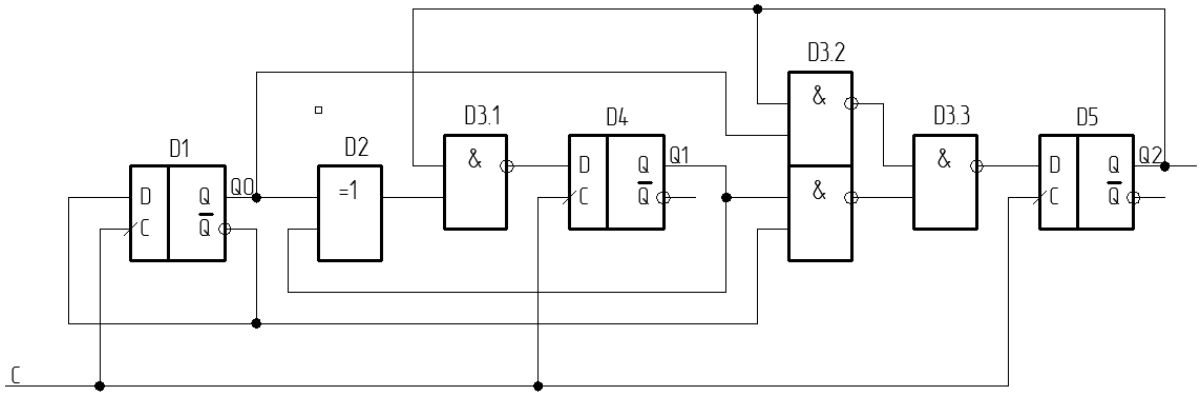


Рисунок 2.7 — Структурная схема синхронного віднімаючого ЛЧ.

Моделюємо схему синтезованого ЛЧ в Micro Cap 9.

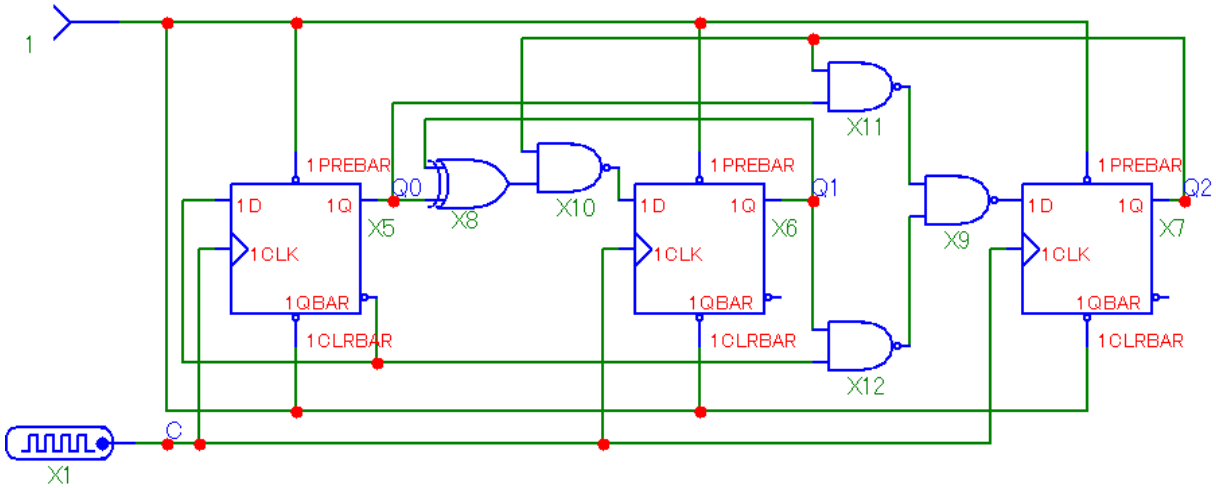


Рисунок 2.8 — Схема синтезованого ЛЧ в Micro Cap 9.

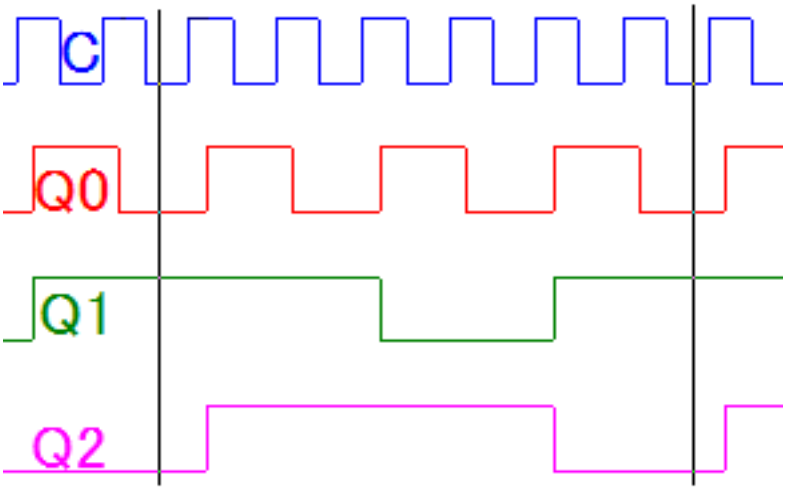


Рисунок 2.9 — Сигналограми синтезованого синхронного віднімаючого ЛЧ.

Тепер спроектуємо ЛЧ, що відноситься до класу асинхронних цифрових автоматів.

Проаналізувавши сигналограми синхронного лічильника (Рис.2.9), приходимо до висновку, що на вхід першого тригера слід подавати тактовий сигнал *C*, а другий та третій тригери треба синхронізувати сигналом Q_0.

Мінімізуємо логічні функції: $D_I = F_I(Q_1Q_2Q_3)$ для кожного тригера.

Враховуючи таблицю переходів *D*- тригера (табл. 2.6), складаємо таблицю переходів асинхронного додавального ЛЧ (табл.2.9), на основі якої будуємо карти Карно (табл.2.10).

Таблиця 2.9. **Таблиця переходів «асинхронного» віднімального ЛЧ на *D*-тригерах**

	$(Q_2Q_1Q_0)^t$	$(Q_2Q_1Q_0)^{t+1}$	D_2	D_1	D_0
7	111	110	~	~	0
6	110	101	1	0	1
5	101	100	~	~	0
4	100	011	0	1	1
3	011	010	~	~	0
2	010	111	1	1	1

Таблиця2.10. **Карти Карно асинхронного віднімального лічильника на *D*-тригерах**

D_0		Q_0			
		00	01	11	10
Q_2	0	~	~	0	1
	1	1	0	0	1
				Q_1	

D_1		Q_0			
		00	01	11	10
Q_2	0	~	~	~	1
	1	1	~	~	0
				Q_1	

D_2		Q_0			
		00	01	11	10
Q_2	0	~	~	~	1
	1	0	~	~	1
				Q_1	

Після мінімізації логічних функцій всіх входів *D* (факультативам раціонально присвоїти значення “1”), записуємо їх функції:

$$D_0 = \overline{Q}_0;$$

$$D_1 = \overline{Q_2} + \overline{Q_1} = \overline{Q_2 Q_1};$$

$$D_2 = Q_1.$$

На рис.2.10 наведена структурна схема синтезованого асинхронного віднімаючого ЛЧ.

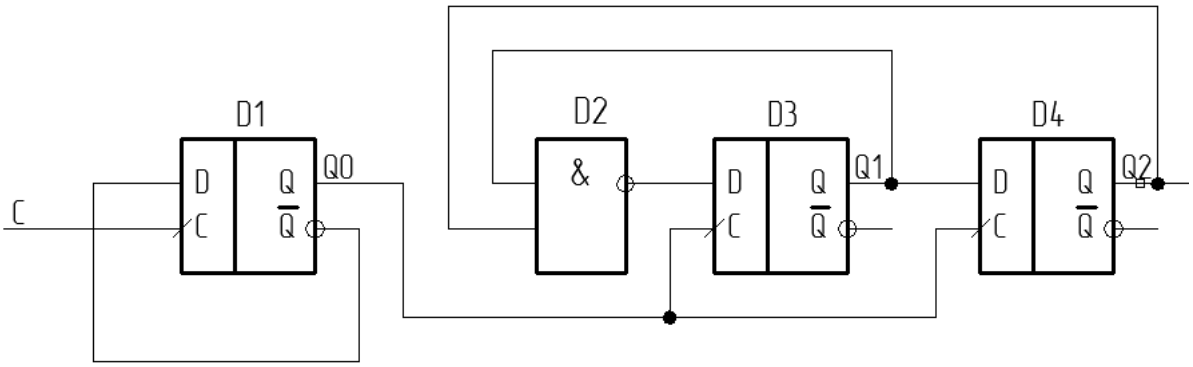


Рисунок 2.10 — Схема асинхронного віднімаючого ЛЧ (зворотного відліку).

Моделюємо схему синтезованого ЛЧ в Micro Cap 9.

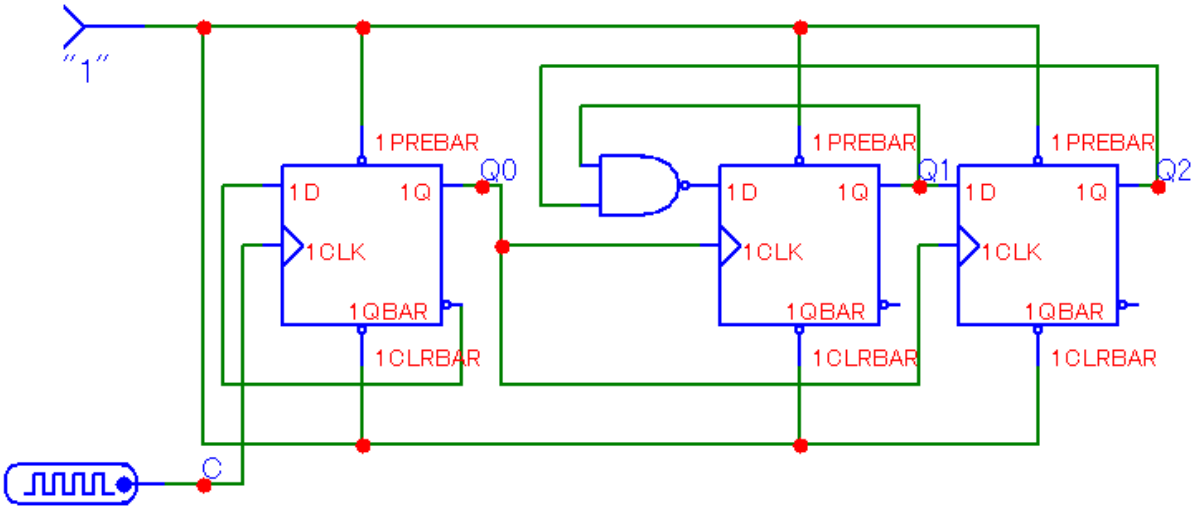


Рисунок 2.11 — Схема синтезованого ЛЧ в Micro Cap 9

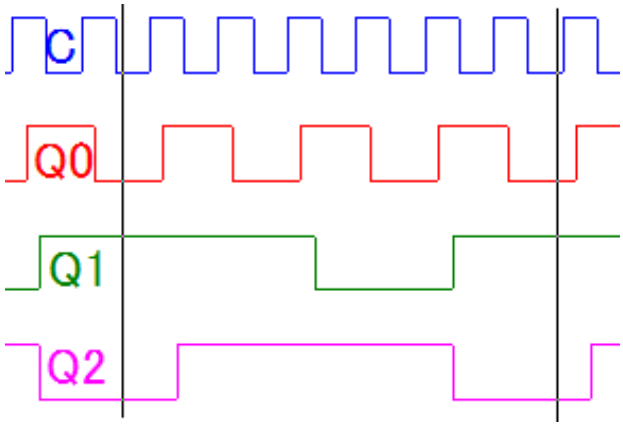
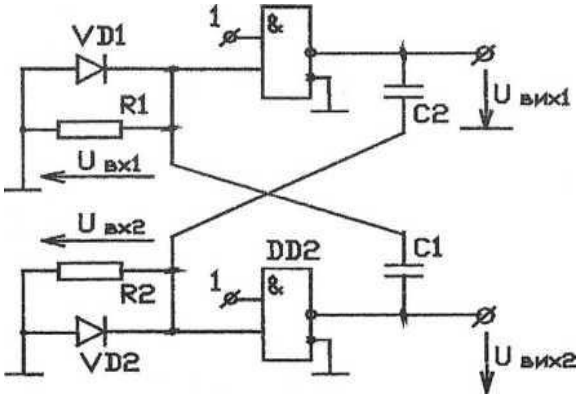


Рисунок 2.12 — Сигналограми асинхронного віднімаючого ЛЧ (зворотного відліку).

2.3.4 Генератор тактових імпульсів

Тактові імпульси – імпульси прямокутної форми з достатньо крутими фронтами. В рамках курсової роботи розробляється автоколивальний муль-



тивібратор, який і використовується як ГТІ. Схема автоколивального мультивібратору (АМВ) з диференційними ланцюгами на елементах І-НЕ наведена на рис. 2.13.

Рисунок 2.13 — Автоколивальний мультивібратор

Діоди VD1 і VD2 виконують функції запобіжників логічних елементів DD1, DD2 від пошкодження негативним викидом напруги, який утворюється на їх входах в момент перемикання схеми і пов'язаний з розрядом конденсаторів через вихідні опори відкритих логічних елементів (діоди вмикаються в тому випадку, якщо вони відсутні на входах логічних елементів; так при використанні елементів ТТЛІ, які мають на своїх входах вбудовані діоди, необхідність в діодах VD1 і VD2 відпадає).

Схема має два стани квазірівноваги: в одному – елемент DD1 закритий, а DD2 відкритий, в другому – навпаки, елемент DD1 відкритий, а DD2 закритий. Нехай, наприклад, елемент DD1 закритий, а DD2 – відкритий, при цьому

конденсатор C2 заряджається вихідним струмом DD 1, який тече через резистор R2 (діод VD2 закритий), напруга Uвх2 позитивна і досить велика.

Вона підтримує елемент DD2 у відкритому стані, напруга на конденсаторі C1 близька до нуля (цей конденсатор досить швидко розряджається в інтервалі часу, що розглядається, через вихідний транзистор елементу DD2 і діод VD1), напруга Uвх1 (напруга відкритого діода VD1) втримує елемент DD1 в закритому стані. По мірі заряду конденсатора C2 зменшуються зарядний струм і напруга $U_{вх2}$ на резисторі R2; в момент досягнення напругою $U_{вх2}$ порогового рівня Uпор починає закриватися елемент DD2 і підвищуватись напруга $U_{вих2}$; зростання $U_{вих2}$ передається через конденсатор C1 на вхід елемента DD1, який відкривається і розвивається регенеративний процес зміни струмів та напруг; процес завершується повним закриттям елемента DD2 і відкриттям елемента DD1 – перехід АМВ до другого стану квазірівноваги.

Тепер буде заряджатися конденсатор C1 через резистор R1 і вихідний опір елементу DD2, а конденсатор C2 буде розряджатися через вихідний опір елемента DD1 і діод VD2.

Таким чином, в мультивібраторі має місце режим автоколивань. Без урахування тривалості процесів перемикання період коливань АМВ буде дорівнювати сумі інтервалів квазірівноваги. Зважаючи на те, що при проектуванні розглянутої схеми, зазвичай, приймають R1=R2=R, C1=C2=C, період коливань АМВ можна визначити як

$$\theta = 2\mathrm{C}(R + R_{1\text{вих}}) \ln\left(\frac{U_{\text{вх2макс}}}{U_{\text{пор}}}\right),$$

де $R_{1\text{вих}}$ – вихідний опір закритого логічного елементу.

Опір R, обмежено знизу і зверху умовами нормального функціонування схеми. При розрахунках доцільно вибирати R по можливості більшим (близьким до максимально допустимого), при цьому поліпшується форма вихідних імпульсів і, крім того, їх тривалість менше залежить від параметрів логічних елементів. Так, в разі застосування логічних елементів типу ТТЛ, опір R не повинен перевищувати 1 кОм. Інакше неможливо забезпечити "0" на вході елементу DD2 в момент його перемикання зі стану "0" до стану "1". Після вибору R величина C визначається по заданій тривалості імпульсів, що формуються.

Недолік розглянутої схеми – можливість жорсткого збудження коливань. Це можливе за умови, коли обидва елементи DD1 та DD2 одночасно закриті. Такий стан може виникнути, наприклад, коли при вмиканні джерела напруги остання наростає відносно повільно, заряд конденсатора проходить повільно, при невеликому струмі і можливо, що при цьому ні на одному з ре-

зисторів R1 та R2 напруга не перевищить $U_{пор}$; тоді обидва елементи залишаться в закритому стані.

Режиму мультивібратора, коли обидва елементи закриті, можна уникнути, якщо на входи елементів DD1 та DD2 подати позитивну напругу (відзначимо, що режим, коли обидва елемента відкриті, неможливий завдяки використанню відносно малих опорів резисторів R1, R2). Позитивне зміщення на входи елементів DD1, DD2 (або на вхід хоча б одного з них) можна здійснити автоматично. Це зміщення має бути подане тільки в тому разі, коли на виходах обох елементів присутні високі рівні напруги (обидва елементи закриті), і має бути відсутнє, коли мультивібратор працює нормально (один елемент закритий і його вихідна напруга висока, а другий – відкритий і його вихідна напруга низька). Видно, що для вирішення поставленої задачі достатньо використати на виході мультивібратора логічний елемент І.

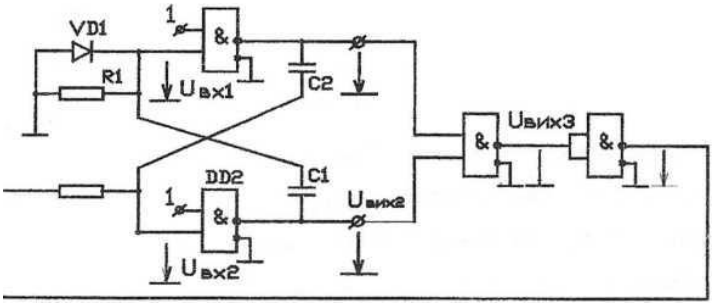


Рисунок 2.14 — Модифікована схема автоколивального мультивібратора

В схемі мультивібратора, показаній на рис. 2.18, елемент І на виході реалізований за допомогою двох елементів І-НЕ (DD3 і DD4). При $U_{вих1}$=1, $U_{вих2}$=1, маємо $U_{вих3}$=0, $U_{вих4}$=1 і на вхід DD2 подається високий рівень напруги, який призводить до відкривання DD2 і виникнення режиму автоколивань. Якщо на один з входів DD3 подається сигнал «0», то $U_{вих3}$=1, $U_{вих4}$=0, тобто, резистор R2 ніби заземлений, і мультивібратор працює в нормальному стані.

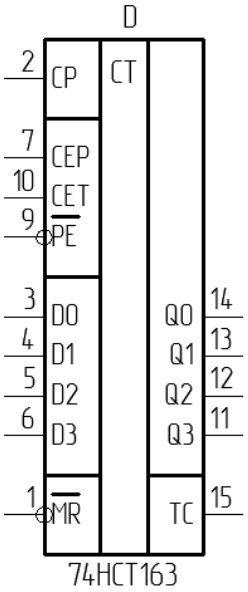
2.3.5 Схема індикації

Схема індикації реалізує можливість людині спостерігати за роботою лічильника безпосередньо на елементах індикації. До складу схеми індикації входять: подільник частоти (ПдЧ); схема фіксації коду (СФК); кодоперетворювачі двійкового коду в двійково-десятковий (КПер.2-2/10) та двійково-десяткового коду в семисегментний (КПер.2/10-7) та семисегментний індикатор (Інд.).

2.3.5.1. Подільник частоти

Подільник частоти імпульсів (ПдЧ) забезпечує на виході послідовність імпульсів, частота яких нижча за частоту послідовності імпульсів, яка подається на його вхід. Для побудови подільників частоти використовують стандартні інтегральні мікросхеми лічильників імпульсів.

ПдЧ, який необхідний для нормального функціонування ЛП, повинен мати досить великий коефіцієнт поділу частоти Кпд (десятки мільйонів). Такий вузол раціонально проектувати з використанням каскадного вмикання стандартних інтегральних мікросхем універсальних лічильників. В серіях стандартних мікросхем є лічильники імпульсів з Клч, який дорівнює 16 (SN74LS169, 74HC191, 74HCT163).



Operating mode	Inputs						Outputs	
	MR	CP	CEP	CET	PE	Dn	Qn	TC
Reset (clear)	l	↑	X	X	X	X	L	L
Parallel load	h	↑	X	X	l	l	L	L
	h	↑	X	X	l	h	H	L
Count	h	↑	h	h	h	X	count	
Hold (do nothing)	h	X	l	X	h	X	qn	L
	h	X	X	l	h	X	qn	L

[1] The TC output is HIGH when CET is HIGH and the counter is at terminal count (HHHH);
H = HIGH voltage level;
h = HIGH voltage level one set-up time prior to the LOW-to-HIGH CP transition;
L = LOW voltage level;
l = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition;
q = lower case letters indicate the state of the referenced output one set-up time prior to the LOW-to-HIGH CP transition;
X = don't care;
↑ = LOW-to-HIGH clock transition.

Рисунок 2.15 —Мікросхема універсального лічильника та таблиця його функціонування.

Для побудови ПдЧ придатна мікросхема 74HC163 (див. рис. 2.15) – двійковий синхронний додавльний лічильник з Клч = 16, який дозволяє побудувати синхронний подільник частоти з великим значенням Кпд.

Спочатку розраховуємо коефіцієнт поділу частоти.

1. Виходячи з розробленої схеми електричної принципової та технічних паспортів МС, використаних при побудові схеми лічильника, розраховуємо мінімальний період тактової частоти лічильника $T_{ЛЧm}$.

2. Виходячи з розрахованого мінімального періоду тактової частоти лічильника $T_{ЛЧm}$ і заданих часу індикації tінд та коефіцієнт лічби $K_{ЛЧ}$, розраховуємо необхідну кількість серій $N_{сер}$

$$N_{СЕР} = \frac{t_{ІНД}}{T_{ЛЧm} \cdot K_{ЛЧ}}$$

Беручи до уваги, що $N_{сер}$ ─ ціле число, дрібну частину результату ділення відкидаємо.

3. Тепер отримуємо період тактової частоти лічильника $T_{ЛЧ}$

$$T_{ЛЧ} = \frac{t_{ІНД}}{N_{СЕР} \cdot K_{ЛЧ}}$$

4. І на завершення вираховуємо коефіцієнт подільника частоти $К_{ПД}$+1

4. І на завершення вираховуємо коефіцієнт подільника частоти $K_{ПД+1}$

$$K_{ПД+1} = N_{СЕР} \cdot K_{ЛЧ} + 1$$

5. Тактова частота лічильника $f_{лч}$

Далі визначаємо кількість мікросхем з співвідношення $16^n \geq K_{ПД+1}$ та перераховуємо значення Кпд+1 у шістнадцятирічну систему зчислення.

Тепер у нас є всі вихідні дані для побудови схеми подільника частоти.

Нам треба побудувати лічильник по модулю, що дорівнює значенню коефіцієнта поділу частоти $K_{ПД+1}$, тобто кількість станів лічильника повинна дорівнювати коефіцієнта поділу частоти $K_{ПД+1}$.

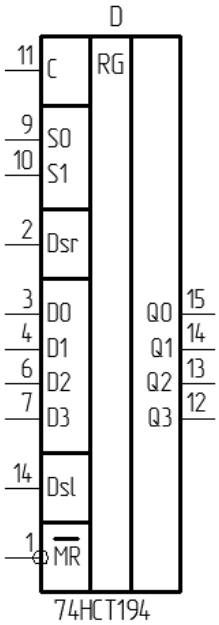
Доцільно використовувати лічильники в режимі зворотного відліку, тоді значення коефіцієнта поділу частоти $K_{ПД+1}$ зменшене на одиницю паралельно завантажуємо в лічильники, які дорахувавши до 0 (нуля) формують сигнал, що використовується для перезапису значення $К_{пд}$ в лічильники. Цей же сигнал ми можемо використати для запису даних в схему фіксації коду.

Якщо використовувати лічильники в режимі прямого відліку, тоді потрібно паралельно завантажити в лічильники, які дорахувавши до 1 (одиниці) формують сигнал, що використовується для перезапису значення, яке дорівнює $24^n - (K_{ПД+1} - 1)$, де n – кількість мікросхем лічильника.

2.3.5.2. Схема фіксації коду

Схеми фіксації коду (СФК), або регістри, призначені для збереження цифрового коду на протязі якогось відрізка часу. До складу регістрів входять тригери та логічні елементи. Для збереження кожного двійкового розряду в регістрі використовується одна тригерна комірка. Відповідно, для збереження n-розрядного двійкового коду регістр повинен мати n тригерів. В ЛП регістр виконує функції приймання інформації, її збереження та передавання до наступних елементів схеми для подальшого оброблення в моменти часу, обумовлені логікою роботи пристрою. Для всіх варіантів ТЗ (для студентів як очної так і заочної форм навчання) СФК може бути виконана на стандартній мікросхемі. При цьому задача зводиться до вибору мікросхеми та її правильного вмикання в схему, згідно умов застосування.

Прикладом універсального регістру є мікросхема типу 74HC/HCT194 (див. рис. 18). Це чотирьохрозрядний зсувний регістр з можливістю послідовного і паралельного запису інформації. Регістр виконаний на чотирьох RS- тригерах (які включені в режимі D- тригера) і має вхід тактування C і два входи керування S1та S0, які визначають режим роботи регістру.Інформаційні входи призначені: D_{sr} – для внесення даних в послідовному коді при зміщенні кодів вправо; D_{sl} – для внесення даних в послідовному коді при зміщенні кодів вліво; а входи D0 – D3 – для внесення даних в паралельному коді. Регістр може працювати в чотирьох режимах, при яких виконуються: зміщення кодів вправо, зміщення кодів вліво, паралельне внесення даних, збереження інформації.



Operating mode	Inputs							Outputs			
	CP	$\overline{MR}$	S1	S0	DSR	DSL	Dn	Q0	Q1	Q2	Q3
Reset (clear)	X	L	X	X	X	X	X	L	L	L	L
Hold (do nothing)	X	H	l	l	X	X	X	q0	q1	q2	q3
Shift left	↑	H	h	l	X	l	X	q1	q2	q3	L
	↑	H	h	l	X	h	X	q1	q2	q3	H
Shift right	↑	H	l	h	l	X	X	L	q0	q1	q2
	↑	H	l	h	h	X	X	H	q0	q1	q2
Parallel load	↑	H	h	h	X	X	dn	d0	d1	d2	d3

[1] H = HIGH voltage level;
h = HIGH voltage level one set-up time prior to the LOW-to-HIGH CP transition;
L = LOW voltage level;
l = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition;
q, d = lower case letters indicate the state of the referenced input (or output) one set-up time prior to the LOW-to-HIGH CP transition;
X = don't care;
↑ = LOW-to-HIGH clock transition.

Рисунок 2.16 — Мікросхема універсального регістру та таблиця його функціонування.

Вибір режиму здійснюється подачею відповідного рівня логічного сигналу на входи керування *S1*та *S0.*

Слід зауважити, що сучасні перетворювачі двійково-десяткового коду в семисегментний мають вбудований регістр зберігання.

2.3.5.3. Кодоперетворювачі (двійкового коду в двійково-десятковий та двійково-десяткового коду в семисегментний).

До складу ЛП входять два кодоперетворювач (КПер.). Один з них призначений для перетворення двійкового коду в двійково-десятковий, другий – для перетворення двійково-десяткового коду в семисегментний.

КПР двійкового коду в двійково-десятковий будуємо на логічних елементах, об’єднуючи їх в комбінаційну схему. Для проектування цього вузла

слід застосовувати розглянуту вище методику синтезу, основану на мінімізації логічних функцій за допомогою карт Карно. Методику проектування проілюструємо на прикладі побудови ЛП з $К_{ЛЧ}$ = 11. В такому пристрої виникає потреба перетворення в двійково-десятковий код цифр від 0 до 10, які поступають на вхід КПер в двійковому коді. Розрахунок починаємо з побудови таблиці станів входів і виходів вузла (див. табл. 2.11).

Таблиця 2.11. Таблиця станів входів і виходів кодоперетворювача двійкового коду в двійково-десятковий

Число	Двійковий код				Двійково-десятковий код							
	a_3	a_2	a_1	a_0	b_3	b_2	b_1	b_0	c_3	c_2	c_1	c_0
00	0	0	0	0	0	0	0	0	0	0	0	0
01	0	0	0	1	0	0	0	0	0	0	0	1
02	0	0	1	0	0	0	0	0	0	0	1	0
03	0	0	1	1	0	0	0	0	0	0	1	1
04	0	1	0	0	0	0	0	0	0	1	0	0
05	0	1	0	1	0	0	0	0	0	1	0	1
06	0	1	1	0	0	0	0	0	0	1	1	0
07	0	1	1	1	0	0	0	0	0	1	1	1
08	1	0	0	0	0	0	0	0	1	0	0	0
09	1	0	0	1	0	0	0	0	1	0	0	1
10	1	0	1	0	0	0	0	1	0	0	0	0

Аналізуючи наведену таблицю приходимо до висновку, що $b_1 = b_2 = b_3 = 0$, $c_2 = a_2$, $c_0 = a_0$. Для інших функцій будуємо карти Карно (див. табл. 12), причому факультативи відповідатимуть значенням функцій для десяткових чисел від 11 до 15. На підставі побудованих карт Карно, отримуємо

$$b_0 = a_3 a_1, \qquad c_1 = \overline{a_3} a_1, \qquad c_3 = a_3 \overline{a_1}$$

Таблиця 2.12. Карти Карно кодоперетворювача двійкового коду в двійково-десятковий

b_0

a_2 \ a_0	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	~	~	~	~
10	0	0	~	1

a_3

c_1

a_2 \ a_0	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	~	~	~	~
10	0	0	~	0

a_3

c_3

a_2 \ a_0	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	~	~	~	~
10	1	1	~	0

a_3

a_1	a_1	a_1

Схема синтезованого КПер.2-2/10 наведена на рис.2.17.

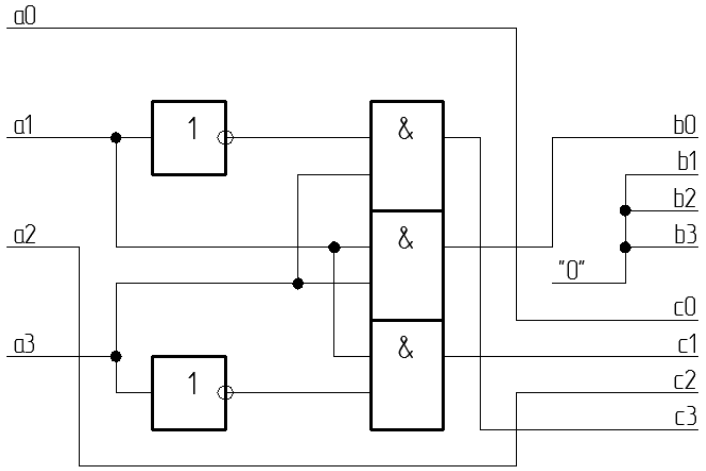


Рисунок 2.17 — Структурна схема синтезованого КПер.2-2/10

Для реалізації КПер двійково-десяткового коду в семисегментний можна використати стандартну мікросхему, наприклад HEF4543B. При цьому слід звертати увагу на спосіб "засвічування" заданого семисегментного індикатора. Засвічування індикаторів може відбуватися сигналом "0" (спільний анод), або "1" (спільний катод). Рівень сигналу, який необхідний для засвічування індикатора, забезпечується належною побудовою ланцюгів його з'єднання з виходами КПер.

Inputs							Outputs							Display
$\overline{LE}$	BL	PH [2]	D3	D2	D1	D0	Qa	Qb	Qc	Qd	Qe	Qf	Qg	
X	H	L	X	X	X	X	L	L	L	L	L	L	L	blank
H	L	L	L	L	L	L	H	H	H	H	H	H	L	0
H	L	L	L	L	L	H	L	H	H	L	L	L	L	1
H	L	L	L	L	H	L	H	H	L	H	H	L	H	2
H	L	L	L	L	H	H	H	H	H	H	L	L	H	3
H	L	L	L	H	L	L	L	H	H	L	L	H	H	4
H	L	L	L	H	L	H	H	L	H	H	L	H	H	5
H	L	L	L	H	H	L	H	L	H	H	H	H	H	6
H	L	L	L	H	H	H	H	H	H	L	L	L	L	7
H	L	L	H	L	L	L	H	H	H	H	H	H	H	8
H	L	L	H	L	L	H	H	H	H	H	L	H	H	9
H	L	L	H	L	H	X	L	L	L	L	L	L	L	blank
H	L	L	H	H	X	X	L	L	L	L	L	L	L	blank
L	L	L	X	X	X	X	n.c.							n.c
as above		H	as above				inverse of above							as above

[1] H = HIGH voltage level; L = LOW voltage level; X = don't care; n.c. = no change.

[2] For liquid crystal displays, apply a square-wave to PH;
For common cathode LED displays, select PH = LOW;
For common anode LED displays, select PH = HIGH.

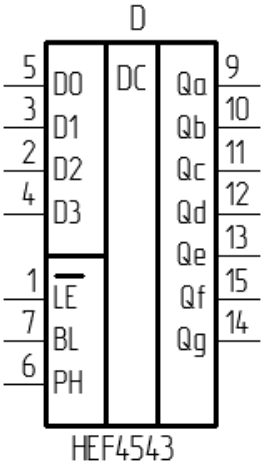


Рисунок 2.18 — Мікросхема перетворювача двійково-десяткового коду в семисегментний та таблиця його функціонування.

2.3.5.4. Елементи індикації

В ЛП використані семисегментні індикатори (ССІ), принцип дії яких базується на випромінюванні світла світлодіодами. Група світлодіодів утворює індикатор, який відображує літери та цифри. Сім сегментів - діодів ССІ розміщені так, що при засвічуванні визначеної їх комбінації висвітлюється той чи інший символ (див. рис. 2.17)

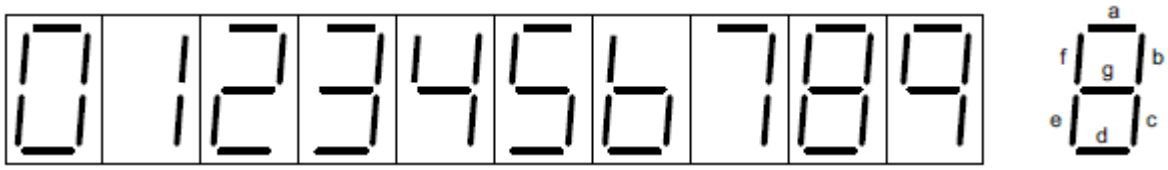
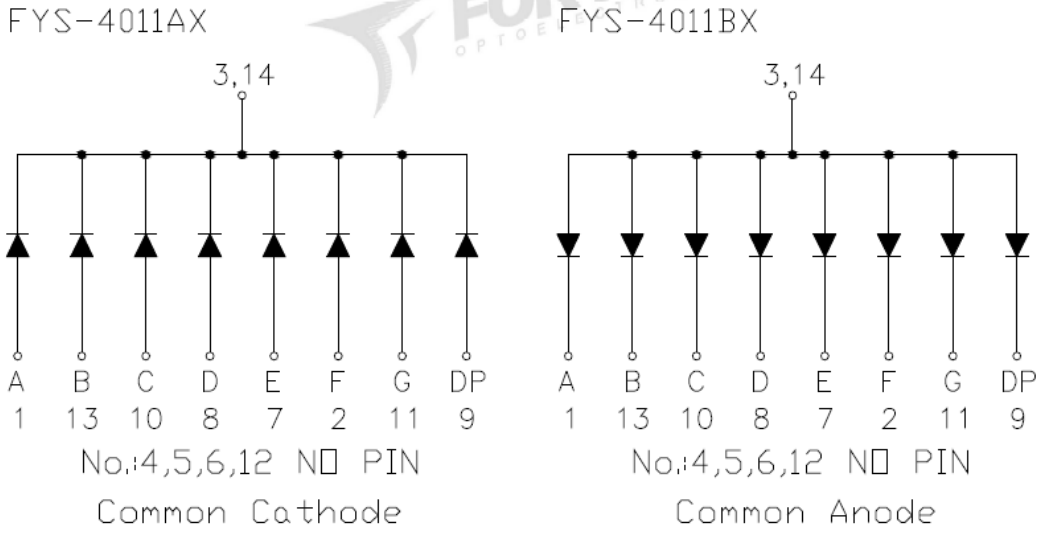


Рисунок 2.19 — Семисегментний індикатор та відображення цифр на ньому

Виготовляються ССІ з загальним анодом (ЗА – рис. 2.20б) або загальним катодом (ЗК – рис.2.20а).

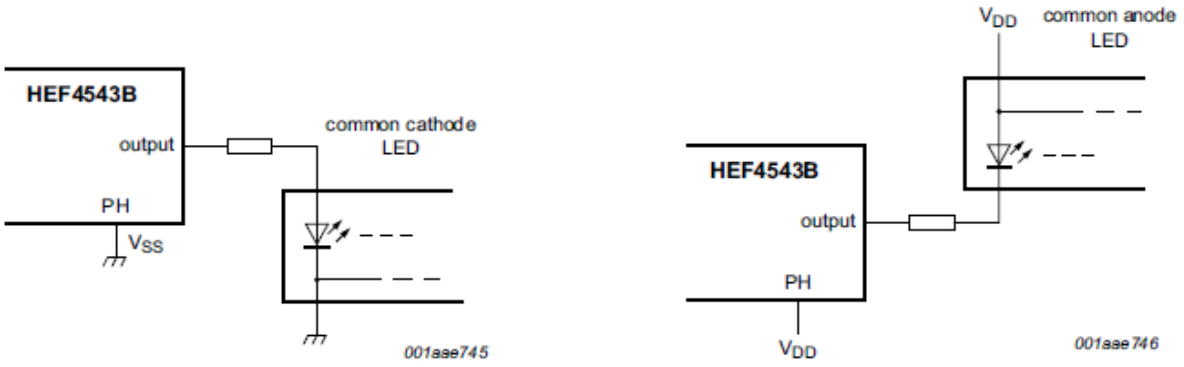


а) б)

Рисунок 2.20 — Семисегментні індикатори а – з загальним катодом; б – з загальним анодом

Для засвічування сегмента в схемі з ЗА, підключеним до джерела Ucc, слід знизити напругу на його катоді (засвічування сигналом "0"). Для засвічування сегмента в схемі з ЗК, приєднаним до загальної точки схеми (GND), необхідно підняти напругу на його аноді (засвічування сигналом "1").

На рис.2.21 наведені схеми керування сегментом ССІ.



a. common cathode b. common anode

Bipolar transistors may be added for gain where $V_{DD} \leq 10$ V or $I_O \geq 10$ mA.

Рисунок 2.21 — Схеми керування семисегментними індикаторами: а – для ССІ з загальним катодом; б – для ССІ з загальним анодом.

В схемі на рис. 2.20а діод засвічується, коли на виході керуючого елемента напруга дорівнює U_1. Через діод протікає струм $I_д=(U_{сс}–U_д)/R$. Отже необхідне значення опору $R=(U_{сс}–U_д)/I_д$. Для цієї схеми необхідно вибирати ССІ з ЗК. При цьому вихід має задовольняти вимозі $I_{вих0} \geq (U_{сс}–U_0)/R$.

В схемі на рис. 2.20б діод засвічується, коли на виході керуючого елемента напруга дорівнює U0. Через діод протікає струм $I_д=(U_{сс}–U_д– U_0)/R$. Отже для нормальної роботи схеми необхідно мати $R=(U_{сс}–U_д– U_0)/I_д$. Для цієї схеми необхідно вибирати ССІ з ЗА. Керуючий елемент має забезпечити достатньо великий вихідний струм у стані "0" ($I_{вих0} \geq I_д$).

3 РЕКОМЕНДАЦІЇ З ОФОРМЛЕННЯ КУРСОВОЇ РОБОТИ

Зміст пояснювальної записки

1. Технічне завдання (підшивається підписана викладачем сторінка з текстом технічного завдання (див.додаток 1).
2. Аналіз технічних вимог та опис роботи лічильного пристрою.
3. Електричні розрахунки:
   - ✓ лічильника імпульсів;
   - ✓ тактових імпульсів
   - ✓ подільника частоти імпульсів;
   - ✓ кодоперетворювача двійкового коду в двійководесятковий;
   - ✓ схеми індикації (ланцюгів живлення світло діодів індикації).
4. Моделювання:
   - ✓ провести модулювання синхронного та асинхронного лічильників в середовищі схемо технічного аналізу Micro-Cap 9;
   - ✓ порівняти характеристики синхронного та асинхронного лічильників, вибрати один з них для реалізації.
   - ✓ Вибір та обгрунтування:
   - ✓ вибір схеми фіксації коду;
   - ✓ обґрунтування вибору кодоперетворювача двійково-десяткового коду в семисегментний.
5. Перелік використаної літератури.
6. Додаток (перелік елементів).

Загальні вимоги до графічної частини

Графічна частина курсової роботи складається з схеми електричної принципової, яка має бути виконана відповідно до вимог ЄСКД.

На графічних зображеннях мікросхем мають бути присутні всі виводи, в тому числі й невикористані, виводи повинні бути пронумеровані (за винятком виводу джерела живлення та загального).

Всі мікросхеми мають бути пронумеровані.

Наприклад: Dl.l, D1.2, ... D1.5, D2, D3.

При зображенні цифрових мікросхем входи повинні бути розташовані з лівої сторони, а виходи – з правої або входи зверху, виходи знизу.

На схемі повинні бути два штампи: основний та кутовий з децимальним номером (при визначені децимального номеру слід керуватися відповідними довідниками останньої редакції).

Креслення має бути складене, відповідно до діючих стандартів, та підшите до пояснювальної записки.

Всі написи, позначення та номери виводів мікросхем мають бути виконані конструкторським шрифтом. Усі з'єднувальні лінії проводяться чітко, однакової товщини з точками в місцях з’єднання.

З метою уникнення ситуації, при якій креслення принципової схеми перевантажується та стає важким для читання за рахунок зображення ліній з’єднання окремих виводів мікросхем з джерелом живлення або з загальною шиною, замість зображення вказаних з’єднань над основним штампом розміщують відповідні написи.

Наприклад:

Виводи 14 *D*1 – *D3, D5, D8* приєднати до джерела живлення +5В.

Виводи 7 *D1 – D3, D5, D8* приєднати до загальної шини.

4 СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ

1. Цифрова та імпульсна схемотехніка. Моделювання та аналіз. Електронний посібник / В.В. Макаренко, В.М.Співак, – К.:НТУУ “КПІ”, 2015. – 314 с. іл.

2. Цифрова схемотехніка електронних систем. Підручник / В.І. Бойко, В.Я. Жуйков, А.А. Зорі, В.В. Багрій, В.М. Співак, Т.О. Терещенко. 3-те вид. допов. і переробл. – К.: Вища школа. 2010. – 426 с. (гриф надано МОН України – протокол № 1.4/18-Г-414 від 14.02.2008 р.). ISBN 966-642-193-3.

3. Рябенький В.М., Жуйков В.Я., Гулий В.Д. Цифрова схемотехніка: Навч. посібник. – Львів: "Новий світ-2000", 2009. – 736 с.

4. Точчи Р.Дж., Уидмер Н.С. Цифровые системи. Теория и практика. М.: Издательский дом "Вильямс". 2004. 1024 с.

5. Угрюмов Е.П., Цифровая схемотехника. СПб.: БХВ-ГІетербург, 2004. 800 с.

6. Уилкинсон Б. Осиовы проектирования цифрових схем. Издательский дом "Вильямс". М. 2004. 320 с.

5 ЗАВДАННЯ НА КУРСОВУ РОБОТУ

НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
“КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ ім. Ігоря Сікорського”
Кафедра радіоприймання та оброблення сигналів

Дисципліна ***Цифрові пристрої***

Спеціальність ***Телекомунікації та радіотехніка***
Курс ***2*** Група _____ Семестр ***3***

ЗАВДАННЯ

на курсову роботу студента

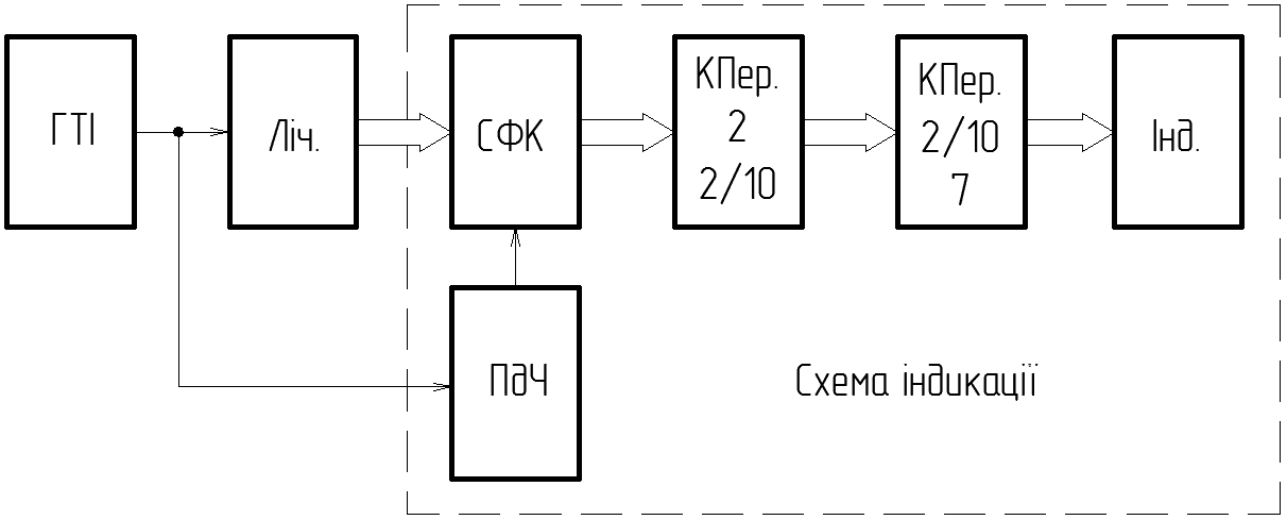
_____

(прізвище, ім’я, по батькові)

1. Тема роботи ***Схемотехнічна розробка лічильного пристрою***

2. Строк здачі студентом закінченої роботи 23.12.2016.

3. Висхідні дані по роботі *Спроектувати лічильний пристрій, що має задану структурну схему (див. рис.)*



Використані позначення та технічні вимоги (варіант _____):
ГТІ – генератор тактових імпульсів; виконати на цифрових інтегральних схемах і дискретних елементах (без кварцу), забезпечивши максимально можливу частоту тактових імпульсів, на якій зможе працювати розроблений лічильник при заданій елементній базі;
Ліч. – лічильник, _____ , що рахує від ___ до ___ , тип тригерів – _____ ;

ПдЧ – подільник частоти імпульсів;
СФК – схема фіксації коду (паралельний регістр);
КПер. 2-2/10 – перетворювач двійкового коду у двійково-десятковий;
КПер. 2/10-7 – перетворювач двійково-десяткового коду у семисегментний;
Інд – індикатор семисегментний – _____ , час індикації – _____ сек..

4. Зміст розрахунково-пояснювальної записки (перелік питань, які підлягають розробці)

4.1. Підписана викладачем сторінка з текстом завдання на курсову роботу.
4.2. Аналіз технічних вимог та опис роботи лічильного пристрою.
4.3. Електричні розрахунки:
– лічильник імпульсів:
– провести модулювання синхронного та асинхронного лічильників в середовищі схемо технічного аналізу Micro-Cap 9
– порівняти характеристики синхронного та асинхронного лічильників, вибрати один з них для реалізації;
– генератор тактових імпульсів
– схема індикації:
– подільник частоти імпульсів
– вибір схеми фіксації коду
– перетворювач двійкового коду у двійково-десятковий
– вибір перетворювача двійково-десяткового коду у семи сегментний.

4.4 Перелік використаної літератури.
4.5. Додаток (перелік елементів).
5. Перелік графічного матеріалу: Схема електрична принципова.

6. Дата видачі завдання _____

Студент _____ _____
(підпис) (П.І.Б)
Керівник _____ _____
(підпис) (П.І.Б)
_____ 2017 р.

6 ВАРІАНТИ ЗАВДАНЬ НА КУРСОВУ РОБОТУ

№ вар.	Лічильник (рахує)				Тип індикатора	Час інд. (с)		
		від	до.	тригер				
1.		0	14	CD4095BM	SA04-11CGKWA	0,7		
2.		14	0	CD4096BM	SC04-11CGKWA	0,75		
3.		1	15	SN74AS175	SA04-11SEKWA	0,8		
4.		15	1	74HCT74	SC04-11SEKWA	0,85		
5.		0	13	74HC107	SA04-11SURKWA	0,9		
6.		13	0	74HCT107	SC04-11SURKWA	0,95		
7.		1	14	74HC112	SA04-11SYKWA	1,0		
8.		14	1	74HCT112	SC04-11SYKWA	1,05		
9.		2	15	SN74112	SA04-12CGKWA	0,7		
10.		15	2	SN74LS112	SC04-12CGKWA	0,75		
11.		0	12	SN74S112	SA04-12SEKWA	0,8		
12.		12	0	74HC109	SC04-12SEKWA	0,85		
13.		1	13	74HCT109	SA04-12SURKWA	0,9		
14.		13	1	SN74109	SC04-12SURKWA	0,95		
15.		2	14	SN74LS109	SA04-12SYKWA	1,0		
16.		14	2	74HC175	SC04-12SYKWA	1,05		
17.		3	15	74112	FYS-4011BG	0,7		
18.		15	3	SN74ALS74	FYS-4011AG	0,75		
19.		0	11	SN74LS175	FYS-4011DH	0,8		
20.		11	0	HD74HC114	FYS-4011CH	0,85		
21.		1	12	SN74107	FYS-4011FE	0,9		
22.		12	1	SN74LS107	FYS-4011EE	0,95		
23.		2	13	SN74S114	FYS-4012BY	1,0		
24.		13	2	SN74S175	FYS-4012BY	1,05		
25.		3	14	SN7474	FYS-4011BS	0,7		
26.		14	3	74HC74	FYS-4011AS	0,75		
27.		4	15	74HCT175	FYS-4011DB	0,8		
28.		15	4	SN74175	FYS-4011CB	0,85		
29.		1	11	SN74S74	FYS-4011FD	0,9		
30.		12	2	SN74LS74	FYS-4011ED	0,95		
31.		3	13	SN74114	FYS-4012BA	1,0		
32.		14	4	SN74LS114	FYS-4012BA	1,05		